

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 23/60



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 00132956.1

[45] 授权公告日 2004 年 9 月 15 日

[11] 授权公告号 CN 1167129C

[22] 申请日 2000.11.16 [21] 申请号 00132956.1

[71] 专利权人 世界先进积体电路股份有限公司

地址 台湾省新竹科学工业园区

[72] 发明人 柯明道 林耿立

审查员 房华龙

[74] 专利代理机构 北京市柳沈律师事务所

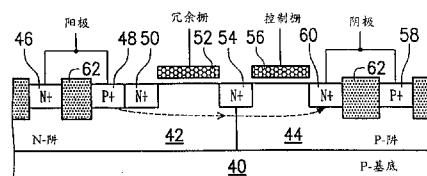
代理人 黃 敏

权利要求书 3 页 说明书 6 页 附图 6 页

[54] 发明名称 静电放电防护元件及相关的电路

[57] 摘要

本发明提出一种 ESD 防护元件以及相关的 ESD 防护电路。本发明的 ESD 防护元件是以冗余的栅结构来取代公知 LVTSCR 中 ESD 电流必须绕行经过的 STI 层。如此，冗余的栅结构一方面可以提供掺杂区的隔离效果，另一方面，又不会阻碍了 ESD 事件发生时 ESD 电流的放电路径。可以提高了 LVTSCR 的导通速度与 ESD 耐受力。



ISSN 1008-4274

知识产权出版社出版

1. 一种静电放电防护元件，包含有：
 - 一第一导电型的第一阱区；
 - 5 一第二导电型的第二阱区，邻接于该第一阱区，与该第一阱区形成一接面；
 - 一第一导电型的金属氧化物半导体晶体管，包含有：
 - 一控制栅，设于该第二阱区上；
 - 一第一导电型的第一漏/源极区，形成于该接面上；以及
 - 10 一第一导电型的第二漏/源极区，形成于该第二阱区表面，耦合于一第一接合垫；
 - 一第二导电型的第一掺杂区，耦合于一第二接合垫，形成于该第一阱区的表面，与该第一阱区、该第二阱区以及该第二漏/源极构成一侧向半导体控制整流器；
 - 15 一第一导电型的第二掺杂区，形成于该第一掺杂区与该第一漏/源极区之间的第一阱区表面；以及
 - 一冗余栅，设于该第二掺杂区与该第一漏/源极区之间的第一阱区上。
2. 如权利要求1的静电放电防护元件，其中，该第一阱区与该第二阱区形成在一基板上。
- 20 3. 如权利要求2的静电放电防护元件，其中，该基底为第一导电型半导体、第二导电型半导体或是绝缘体。
4. 如权利要求1的静电放电防护元件，其中，该元件另包含有一第一导电型的第一接触区，形成在该第一阱区表面，耦合于该第二接合垫。
5. 如权利要求4的静电放电防护元件，其中，该第一接触区与该第一掺杂区之间的第一阱区表面设有一浅沟道隔离区，以使该第一接触区与该第一掺杂区相隔绝。
- 25 6. 如权利要求1的静电放电防护元件，其中，该元件另包含有一第二导电型的第二接触区，形成于该第二阱区表面，耦合于该第一接合垫。
7. 如权利要求6的静电放电防护元件，其中，该第二接触区与该第二漏/源极区之间的第二阱区表面设有一浅沟道隔离区，以使该第二接触区与该第二漏/源极区相隔绝。
- 30

8. 如权利要求1的静电放电防护元件, 其中, 该冗余栅为电浮动、耦合于该第一接合垫、或是耦合于该第二接合垫。

9. 如权利要求1的静电放电防护元件, 其中, 当一静电放电事件于该第一以及第二接合垫发生时, 一静电放电检测电路控制该控制栅, 以触发
5 该侧向半导体控制整流器, 并释放静电应力。

10. 如权利要求1的静电放电防护元件, 其中, 该第一导电型为P型, 该第二导电型为N型。

11. 如权利要求1的静电放电防护元件, 其中, 该第一导电型为N型, 该第二导电型为P型。

12. 一种静电放电防护电路, 耦合于一第一接合垫以及一第二接合垫之间, 包含有:

一低电压触发的半导体控制整流器, 包含有:

一第一导电型的第一阱区;

一第二导电型的第二阱区, 邻接于该第一阱区, 与该第一阱区形成一
15 接面;

一第一导电型的金属氧化物半导体晶体管, 包含有:

一控制栅, 设于该第二阱区上;

一第一导电型的第一漏/源极区, 形成于该接面上;

一第一导电型的第二漏/源极区, 形成于该第二阱区表面, 作为一第一
20 电极, 耦合至该第一接合垫;

一第二导电型的第一掺杂区, 形成于该第一阱区的表面, 作为一第二电极, 耦合至该第二接合垫, 且与该第一阱区、该第二阱区以及该第二漏/源极构成一侧向半导体控制整流器;

一第一导电型的第二掺杂区, 形成于该第一掺杂区与该第一漏/源极区
25 之间的第一阱区表面; 以及

一冗余栅, 设于该第二掺杂区与该第一漏/源极区之间的第一阱区上;
以及

一静电放电检测电路, 用以检测发生于该第一接合垫以及该第二接合垫之间的一静电放电事件, 以控制该控制栅, 并触发该低电压触发的半导体控制整流器释放静电放电应力。
30

13. 如权利要求12的静电放电防护电路, 其中, 该第一导电型为N型,

该第二导电型为P型。

14. 如权利要求13的静电放电防护电路, 其中, 该第二接合垫为一输出接合垫, 该第一接合垫为一低电源接合垫。

15. 如权利要求13的静电放电防护电路, 其中, 该第二接合垫为一高电源接合垫, 该第一接合垫为一低电源接合垫。

16. 如权利要求15的静电放电防护电路, 其中, 该静电放电检测电路包含有:

一电阻电容电路, 耦合在该第一接合垫与该第二接合垫之间, 包含有串接的一电阻以及一电容; 以及

一反向器, 包含有一输入耦合至该电阻与电容的串接点, 以及一输出耦合至该控制栅。

17. 如权利要求12的静电放电防护电路, 其中, 该静电放电检测电路包含有一电阻电容电路, 包含有串接的一电阻以及一电容, 且该电阻电容电路耦合于该第一接合垫与该第二接合垫。

18. 如权利要求17的静电放电防护电路, 其中, 该控制栅是耦合至该电阻与该电容之间的接点。

19. 如权利要求12的静电放电防护电路, 其中, 该冗余栅为电浮动、耦合于该第一接合垫、或是耦合于该第二接合垫。

20. 如权利要求12的静电放电防护电路, 其中, 该第一导电型为P型, 该第二导电型为N型。

21. 如权利要求20的静电放电防护电路, 其中, 该第一接合垫为一高电源接合垫, 该第二接合垫为一输出接合垫。

22. 如权利要求20的静电放电防护电路, 其中, 该第一接合垫为一高电源接合垫, 该第二接合垫为一低电源接合垫。

23. 如权利要求22的静电放电防护电路, 其中, 该静电放电检测电路包含有:

一电阻电容电路, 耦合于该第一接合垫与该第二接合垫之间, 包含有串接的一电阻以及一电容; 以及

一驱动器, 用以检测该电阻与电容的串接点的电压, 并驱动该控制栅。

24. 如权利要求23的静电放电防护电路, 其中, 该驱动器是以两个串接的反向器所构成。

静电放电防护元件 及相关的电路

5

技术领域

本发明涉及一种低电压触发的半导体控制整流器 (Low-voltage Triggering semiconductor control rectifier, LVTSCR) 以及相关的电路, 特别涉及一种适用于浅沟道隔离 (shallow trench isolation, STI) 制造工艺的 LVTSCR 与电路。

技术背景

随着制造工艺技术的进步, 静电放电 (ESD) 已经是集成电路 (IC) 的可靠度的主要考虑之一。尤其是半导体制造技术进入深次微米时代 (deep submicron regime) 后, 缩小尺寸 (scaled-down) 的晶体管以及较薄的栅氧化层等相对于 ESD 应力而言都是比较脆弱的。因此, 在 IC 的输入输出端必须设置 ESD 防护电路, 用以保护 IC 中的元件免于遭受 ESD 损害。

参照图 1, 图 1 为一传统的 LVTSCR 的剖面图。图 1 中的 LVTSCR 是由一个侧向的半导体控制整流器 (lateral semiconductor control rectifier, LSCR) 以及一个 NMOS 晶体管组合而成。LSCR 由 P+ 掺杂区 14、N 型阱 10、P 型基底 12 以及 N+ 掺杂区 16 所构成, 以 P+ 掺杂区 14 为阳极 (anode), 以 N+ 掺杂区 16 为阴极 (cathode)。NMOS 晶体管有一栅结构 20、N+ 掺杂区 16 以及 N+ 掺杂区 18, 可以用来降低 LSCR 触发时的电压, 所以称为 LVTSCR。以传统的场氧化层 (field oxide, FOX) 制造工艺制作 LVTSCR 时, 掺杂区之间便以场氧化层 26 加以隔绝。图 1 中的虚线与箭头表示当 ESD 事件发生时的电流路径。ESD 电流由阳极开始, 经过场氧化层 26 下方, 到阴极而释放。

然而, 随着制造工艺的演进, 比较先进的制造工艺中已经运用 STI 制造工艺来取代场氧化层制造工艺。参照图 2, 图 2 为图 1 中的 FOX 层以 STI 层取代后的结构示意图。STI 制造工艺好处之一是半导体芯片的表面比较平坦。但是, 为了达到隔离的效果, 浅沟道便不得不有一定的深度, 而且往往比重掺杂区的深度来的深, 如图 2 所示。如此, 在 ESD 事件发生时, 由

阳极出发的ESD电流必须绕过STI层30,才可以到达阴极。与图1中的ESD电流路径相比较,图2中的电流路径明显的比较长,所以,相对的,图2中以STI制造工艺所制造的LVTSCR将较难快速排放ESD电流。

5 发明内容

有鉴于此,本发明的主要目的,在于提供一种适用于STI制造工艺的LVTSCR以及相关的电路,可以增进LVTSCR的静电放电耐受力与导通速度。

根据上述的目的,本发明提出一种ESD防护元件。该ESD防护元件包含有一第一导电型的第一阱区、一第二导电型的第二阱区、一第一导电型的金属氧化物半导体晶体管、一第二导电型的第一掺杂区、一第一导电型的第二掺杂区以及一冗余栅。该第二阱区邻接于该第一阱区,与该第一阱区形成一接面。该金属氧化物半导体晶体管包含有一控制栅、一第一导电型的第一漏/源极区以及一第一导电型的第二漏/源极区。控制栅设于该第二阱区上。该第一漏/源极区形成于该接面上。该第二漏/源极区形成于该第二阱区表面,耦合于一第一接合垫。该第一掺杂区耦合于一第二接合垫,形成于该第一阱区的表面,与该第一阱区、该第二阱区以及该第二漏/源极构成一侧向半导体控制整流器。该第二掺杂区形成于该第一掺杂区与该第一漏/源极区之间的第一阱区表面。该冗余栅设于该第二掺杂区与该第一漏/源极区之间的第一阱区表面。

本发明另提供一种ESD防护电路,耦合于一第一接合垫以及一第二接合垫之间。该ESD防护电路包含有一LVTSCR以及一静电放电检测电路。该LVTSCR包含有一第一导电型的第一阱区、一第二导电型的第二阱区、一第一导电型的金属氧化物半导体晶体管、一第二导电型的第一掺杂区、一第一导电型的第二掺杂区以及一冗余栅。该第二阱区邻接于该第一阱区,与该第一阱区形成一接面。该金属氧化物半导体晶体管包含有一控制栅、一第一导电型的第一漏/源极区以及一第二导电型的第一掺杂区。该控制栅设于该第二阱区上。该第一漏/源极区形成于该接面上。该第二漏/源极区形成于该第二阱区表面,作为一第一电极,耦合至该第一接合垫。该第一掺杂区形成于该第一阱区的表面,作为一第二电极,耦合至该第二接合垫,且与该第一阱区、该第二阱区以及该第二漏/源极构成一侧向半导体控制整流器。该第二掺杂区,形成于该第一掺杂区与该第一漏/源极区之间的第一

阱区表面。该冗余栅设于该第二掺杂区与该第一漏/源极区之间的第一阱区上。该静电放电检测电路，用以检测发生于该第一接合垫以及该第二接合垫之间的一静电放电事件，以控制该控制栅，并触发该低电压触发的半导体控制整流器排放静电放电电流。

- 5 本发明的优点在于第一接合垫到第二接合垫之间，或是说第一电极到第二电极之间并没有 STI 层作为隔绝物，所以，ESD 电流是以一比较短的放电路径放电。因此，本发明的 ESD 防护元件具有一快速的导通速度与良好的 ESD 耐受力。

10 为使本发明的上述目的、特征和优点能更明显易懂，下文特举一较佳实施例，并配合附图，作详细说明。

附图说明

- 图 1 为一传统制程的 LVTSCR 的剖面图；
图 2 为图 1 中的 FOX 层以 STI 层取代后的结构示意图；
15 图 3a 为依据本发明的一个 NMOS 触发的 LVTSCR；
图 3b 为图 3a 的电路代表符号；
图 4a 为依据本发明的一个 PMOS 触发的 LVTSCR；
图 4b 为图 4a 的电路代表符号；
图 5a 为一依据本发明实施的 ESD 防护电路示意图；
20 图 5b 为图 5a 的一个实施例；
图 6a 为一同时运用本发明在 I/O 接合垫与 VSS 之间以及 I/O 接合垫与 VDD 之间的 ESD 防护电路的示意图；
图 6b 为图 6a 的一个实施例；
图 7a 为运用本发明的 nSCR 作成的电源线间 ESD 防护电路的示意图；
25 图 7b 为图 7a 的一种实施例；
图 8a 为运用本发明的 pSCR 作成的电源线间 ESD 防护电路的示意图；
以及
图 8b 为图 8a 的一种实施例。

30 具体实施方式

本发明的精神在于以冗余的栅结构来取代公知 LVTSCR 中 ESD 电流必须

绕行经过的 STI 层, 如此, 冗余的栅结构一方面可以提供掺杂区的隔离效果, 另一方面, 又不会阻碍了 ESD 事件发生时 ESD 电流的放电路径。所以, 提高了 LVTSCR 的导通速度与 ESD 耐受力。

参阅图 3a 以及图 3b, 图 3a 为依据本发明的一个 NMOS 触发的 LVTSCR, 图 3b 为图 3a 的电路代表符号。图 3a 中的 LVTSCR 是以一个 NMOS 来触发, 简称为 nSCR。nSCR 制作在一个 P 型基底 40 上, 包含有的一个 N 型阱 42 以及一个 P 型阱 44。

P 型阱 44 中设有一 P+ 掺杂区 58, 作为 P 型阱 44 的电性接触点。触发用的 NMOS 也设于 P 型阱 44 中, 包含有一个控制栅 56 以及两个作为源极以及漏极的 N+ 掺杂区 (60 与 54)。N+ 掺杂区 54 设于 N 型阱 42 与 P 型阱 44 所形成的 PN 接面上。N+ 掺杂区 60 与 P+ 掺杂区 58 之间以 STI 层 62 相隔离。

N 型阱 42 中设有一 N+ 掺杂区 46, 作为 N 型阱 42 的电性接触点, 以及一 P+ 掺杂区 48。P+ 掺杂区 48 与 N+ 掺杂区 46 以 STI 层 62 相隔绝。冗余栅 52 以及 N+ 掺杂区 50 设于 N 型阱 42 中, 用以隔绝 P+ 掺杂区 48 与 N+ 掺杂区 54。由于冗余栅 52 的存在, 使得该 SCR 元件的电流路径中, 没有 STI 隔离层的阻挡, 因而可以使该 SCR 元件具有较快的导通速度, 用来释放 ESD 电流。

如图 3a 所示, P+ 掺杂区 48、N 型阱 42、P 型阱 44 以及 N+ 掺杂区 60 构成了一个侧向的 SCR。P+ 掺杂区 48 与 N+ 掺杂区 46 彼此相耦合, 作为 nSCR 的阳极。N+ 掺杂区 60 与 P+ 掺杂区 58 相耦合, 作为 nSCR 的阴极。图 3b 标示了 nSCR 的符号, 同时也以符号 C 表示了控制栅 56 是位于 P 型阱 44, 而冗余栅 52 以符号 D 表示, 是位于 N 型阱 42。

NMOS 的控制栅 56 可以耦合至一 ESD 检测电路。ESD 检测电路负责检测 ESD 事件的发生, 并相对应的控制 NMOS 的控制栅 56, 触发 nSCR 以释放 ESD 应力。

冗余栅 52 可以耦合至 VSS 或是 VDD, 甚至是呈现电浮动的状态, 均不至于影响到 ESD 电流在该 nSCR 元件内的电流路径。

图 3a 中的虚线与箭头表示当 ESD 事件发生时, ESD 电流在该 SCR 元件内的放电路径。由图 3a 中可知, ESD 放电路径中, 并没有 STI 层存在。所以本发明的 nSCR 可以具有快速的导通速度与良好的 ESD 耐受力。

相同的道理, 本发明也可以运用于以 PMOS 作为触发晶体管的 LVTSCR。如图 4a 所示, 图 4a 为依据本发明的一个 PMOS 触发的 LVTSCR。控制栅 56' 设于 N 型阱 42' 中, 冗余栅 52' 设于 P 型阱 44'。而图 4b 为图 4a 的电路代表符号, 控制栅以符号 C 表示, 而冗余栅以符号 D 表示。ESD 电流一样可以由阳极流到阴极, 而不会绕行任何的 STI 层。

P 型基底 40 可以用一 N 型基底取代, 并不影响本发明的功能。同时, 本发明也可以适用于 SOI 的结构, 即为用一绝缘层取代图 3a 中的 P 型基底 40, 都可以达到本发明的目的。

参照图 5a, 图 5a 为一依据本发明实施的 ESD 防护电路示意图。本发明的 nSCR 的阴极耦合至 VSS。nSCR 的阳极以及冗余栅均耦合到一输出接合垫(input/output pad, I/O pad) 80, ESD 检测电路 84 负责检测是否有 ESD 事件发生在 I/O 接合垫 80 上。当 ESD 事件发生时, ESD 检测电路 84 会暂时的拉高 nSCR 的控制栅的电压, 以触发 nSCR 导通以排放 ESD 电流。藉此保护内部电路 82。图 5b 为图 5a 的一个实施例。ESD 检测电路 84 以一个 RC 电路构成, 包含有一个电阻 R 以及相串联的电容 C。而 nSCR 的控制栅耦合至电阻 R 与电容 C 之间的串接点。

除了保护内部电路免于受 I/O 接合垫对 VSS 的 ESD 事件伤害外, 本发明也可以运用在 I/O 接合垫与 VDD 之间, 防止内部电路受 I/O 接合垫对 VDD 的 ESD 事件伤害。图 6a 为一同时运用本发明于 I/O 接合垫与 VSS 之间以及 I/O 接合垫与 VDD 之间的 ESD 防护电路的示意图。VDD 与 I/O 接合垫 80 之间的 ESD 防护电路使用了一个本发明的 pSCR 以及一个 ESD 检测电路, pSCR 的阳极耦合至 VDD, pSCR 的阴极与冗余栅耦合至 I/O 接合垫。ESD 检测电路 86 控制 pSCR 的控制栅, 以触发 pSCR 导通排放 ESD 电流。藉此保护内部电路 82。图 6b 为图 6a 的一个实施例。ESD 检测电路 86 以一个 RC 电路构成, 包含有一个电阻 R 以及相串联的电容 C。而 pSCR 的控制栅耦合至电阻 R 与电容 C 之间的串接点。

本发明的 ESD 防护电路可以用以防护发生于电源线之间的 ESD 事件, 如图 7a 所示。图 7a 为运用本发明的 nSCR 作成的电源线间 ESD 防护电路的示意图。图 7b 为图 7a 的一种实施例。nSCR 的阴极耦合至 VSS, nSCR 的阳极与冗余栅均耦合至 VDD。ESD 检测电路 90 以一个 RC 电路加上一个反向器构成。RC 电路包含有一个电阻 R 以及相串联的电容 C。反向器 INV 的输入

端接至电阻 R 与电容 C 之间的串接点,反向器 INV 的输出端则负责驱动 nSCR 的控制栅。

5 相同的道理,电源线间的 ESD 防护电路也可以用本发明的 pSCR 来作为主要的 ESD 防护元件,如图 8a 所示。图 8a 为运用本发明的 pSCR 做成的电源线间 ESD 防护电路的示意图。图 8b 为图 8a 的一种实施例。pSCR 的阳极耦合至 VDD, pSCR 的阴极与冗余栅均耦合至 VSS。ESD 检测电路 94 以一个 RC 电路加上两个串接反向器(INV 1 与 INV 2)构成。RC 电路包含有一个电阻 R 以及相串联的电容 C。反向器 INV 1 的输入端接至电阻 R 与电容 C 之间的串接点,反向器 INV 2 的输出端则负责驱动 nSCR 的控制栅。

10 本发明虽以较佳实施例揭露如上,然其并非用以限定本发明,任何本领域的技术人员,在不脱离本发明的精神和范围内,当可做些许的更动与润饰,因此本发明的保护范围应当以权利要求范围所界定的为准。

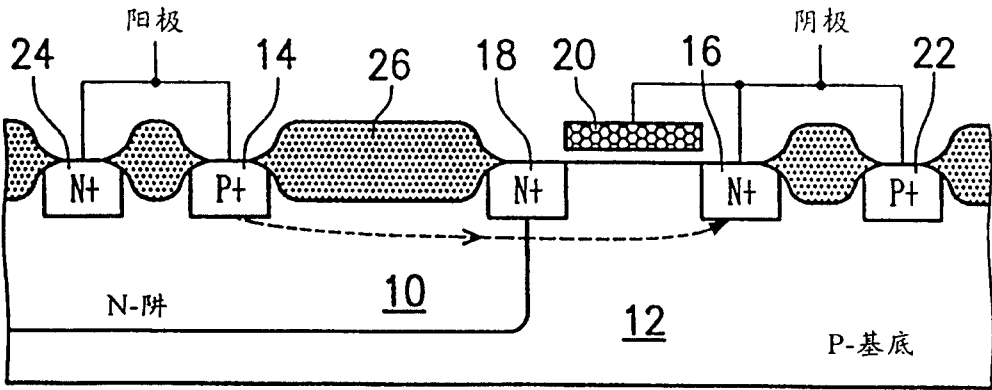


图 1

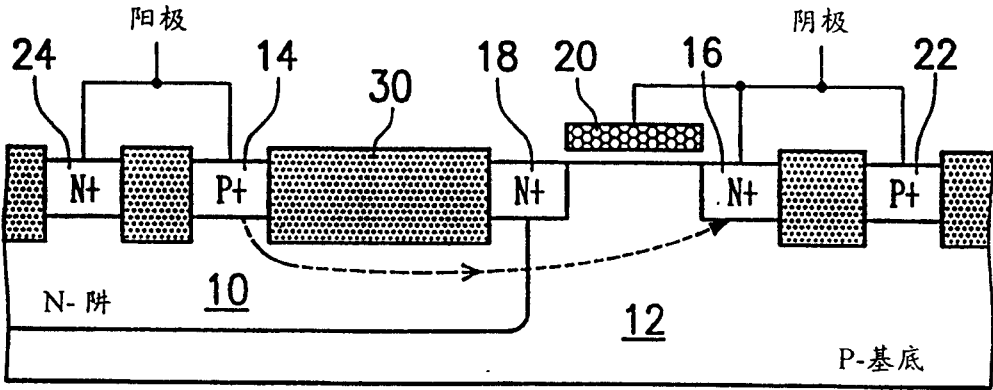


图 2

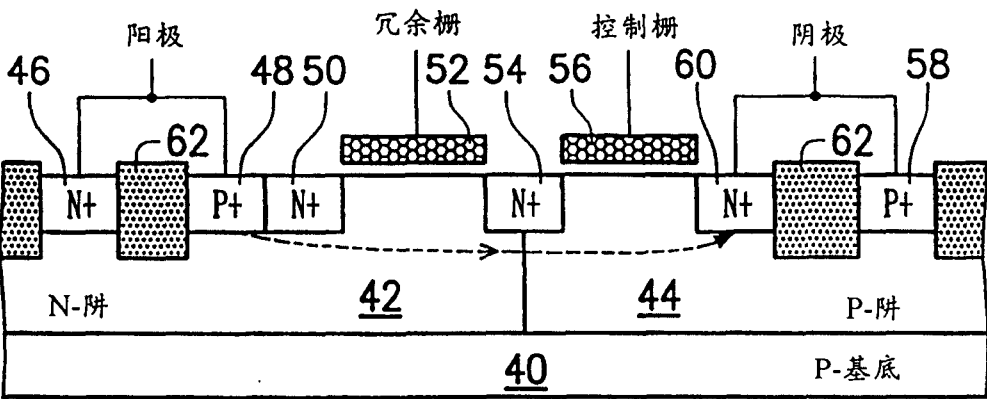


图 3a

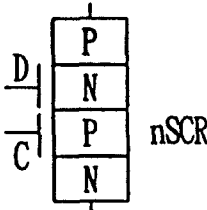


图 3b

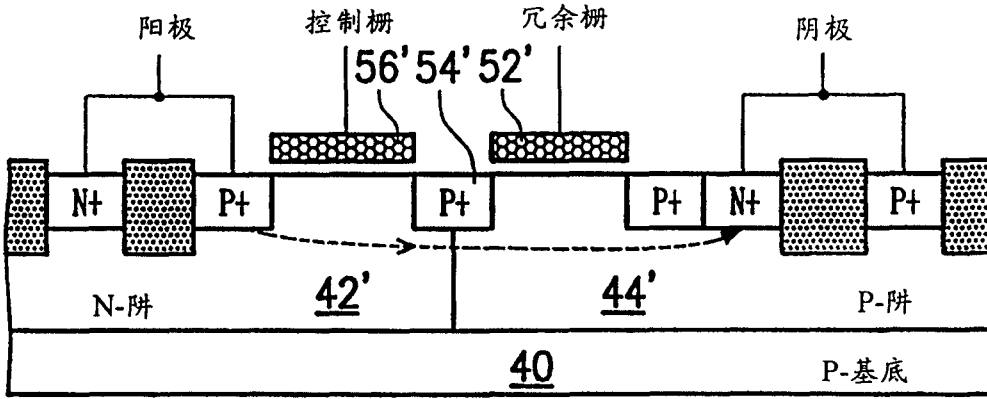


图 4a

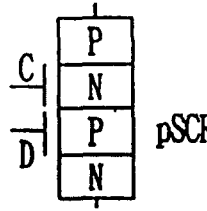


图 4b

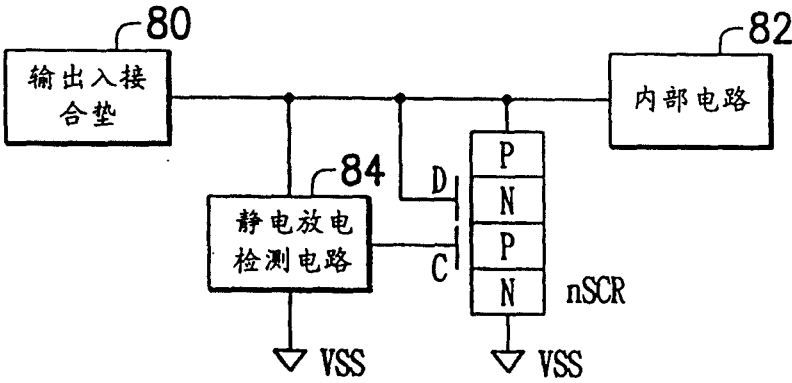


图 5a

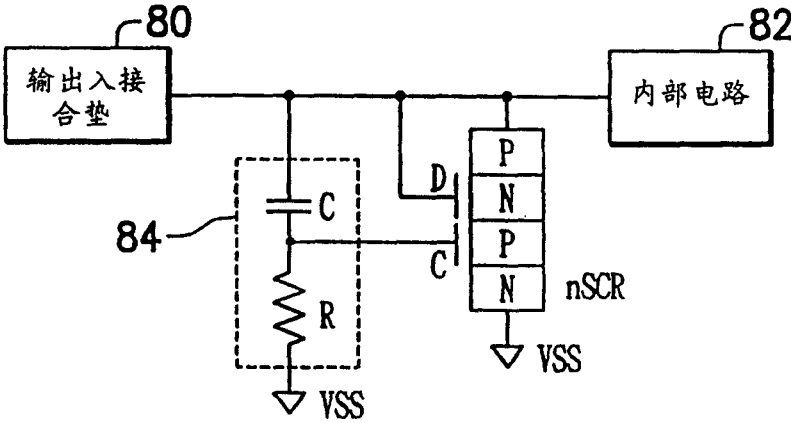


图 5b

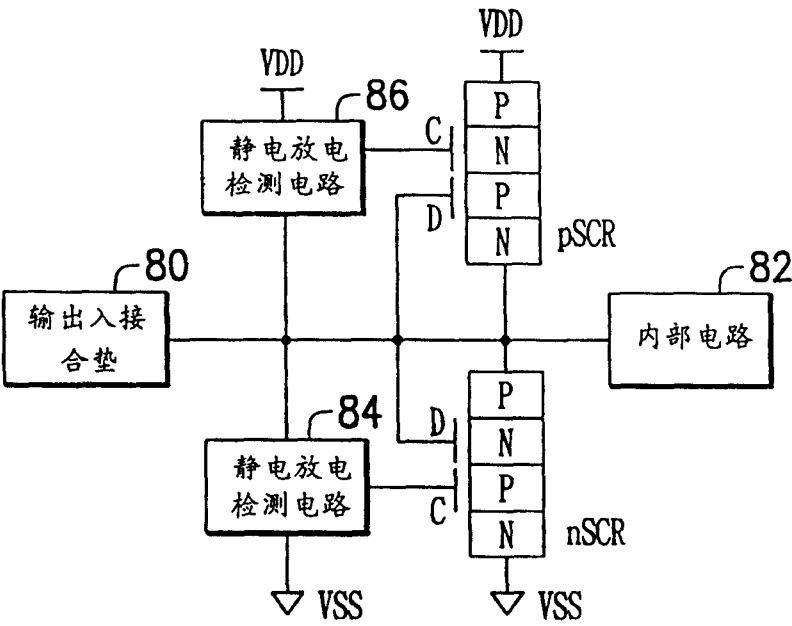


图 6a

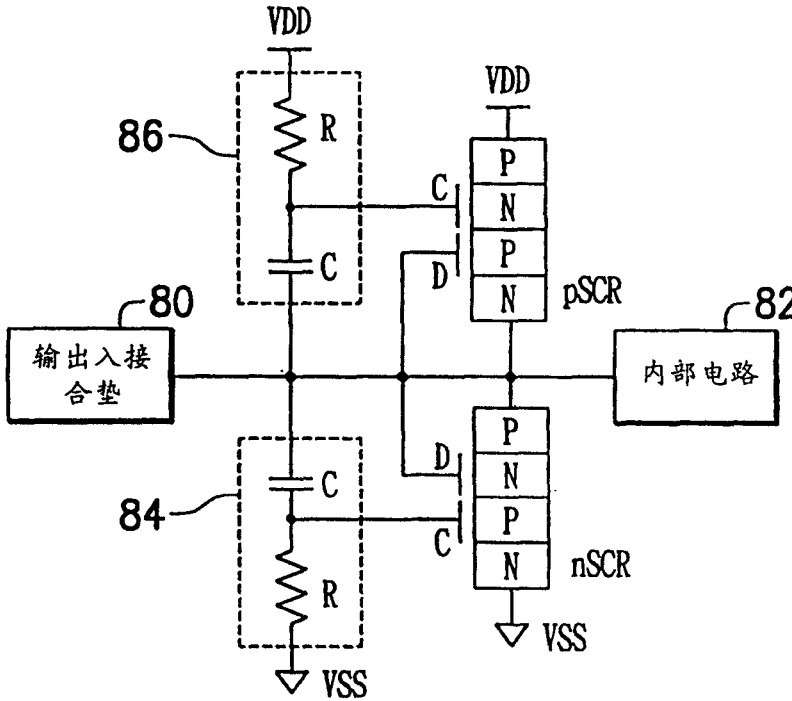


图 6b

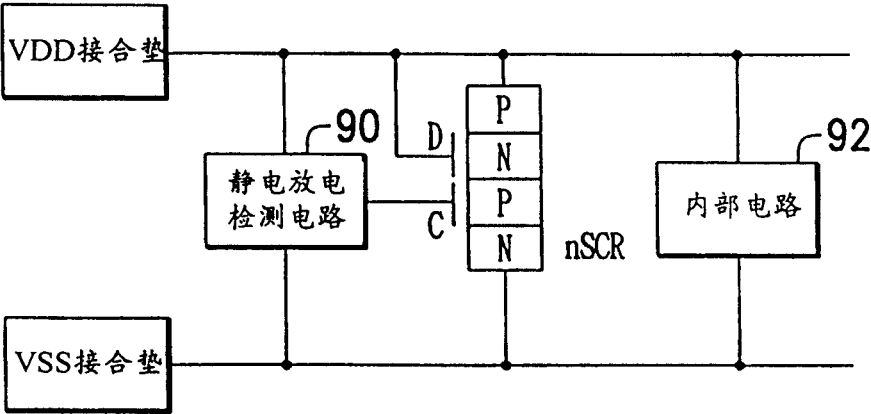


图 7a

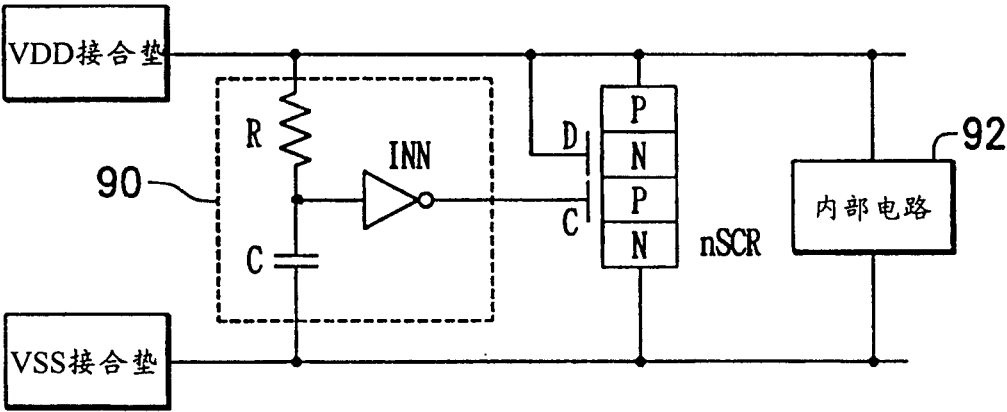


图 7b

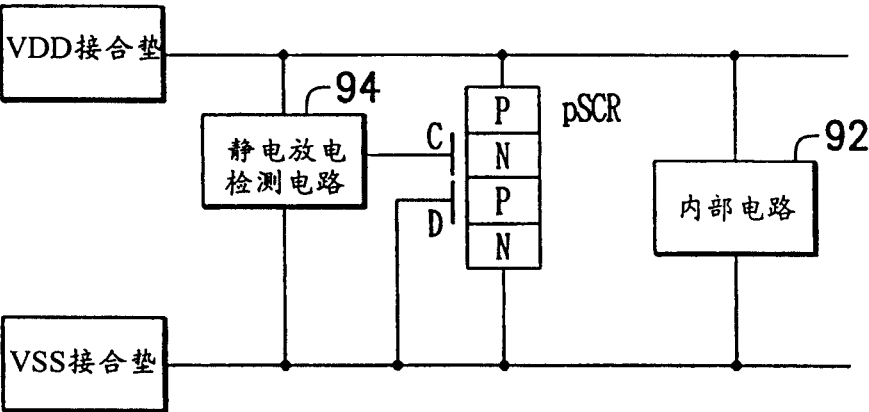


图 8a

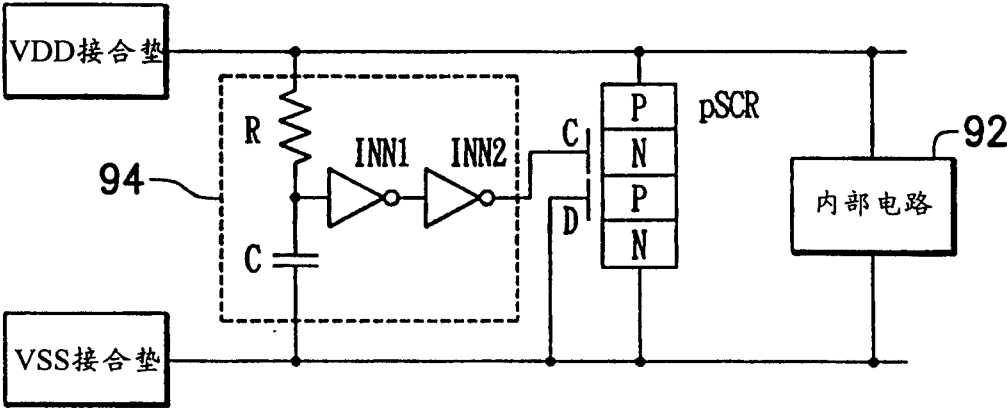


图 8b